



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0066116  
Application Number

출원 년 월 일 : 2002년 10월 29일  
Date of Application  
OCT 29, 2002

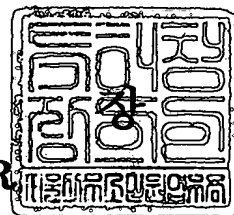
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      05      월      21      일

특      허      청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0002  
**【제출일자】** 2002.10.29  
**【발명의 명칭】** 반도체 소자의 트랜지스터 및 그 제조 방법  
**【발명의 영문명칭】** Transistor in a semiconductor device and a method of manufacturing the same  
**【출원인】**  
**【명칭】** (주)하이닉스 반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【성명】** 신영무  
**【대리인코드】** 9-1998-000265-6  
**【포괄위임등록번호】** 1999-003525-1  
**【발명자】**  
**【성명의 국문표기】** 류두열  
**【성명의 영문표기】** RY00,Doo Yeol  
**【주민등록번호】** 690328-1522317  
**【우편번호】** 361-270  
**【주소】** 충청북도 청주시 흥덕구 복대동 두진백로 102-1005  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 1 면 1,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 12 항 493,000 원  
**【합계】** 523,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 소자의 트랜지스터 및 그 제조 방법에 관한 것으로, 저전압 소자 영역에는 질화 산화막으로 게이트 산화막을 형성하고, 고전압 소자 영역에는 질화 산화막/산화막/질화 산화막의 적층 구조로 게이트 산화막을 형성함으로써, 게이트 산화막의 물리적인 두께는 증가하여도 유전 상수의 증가에 의한 전기적인 두께는 감소시킬 수 있으며, 누설 전류 및 게이트 산화막 또는 채널 영역으로의 불순물 확산 및 침투를 방지하고 누설 전류를 감소시켜 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 트랜지스터 및 그 제조 방법이 개시된다.

**【대표도】**

도 1g

**【색인어】**

게이트 산화막, 질화 산화막, 산화막, 누설 전류, 핫 캐리어

**【명세서】****【발명의 명칭】**

반도체 소자의 트랜지스터 및 그 제조 방법{Transistor in a semiconductor device and a method of manufacturing the same}

**【도면의 간단한 설명】**

도 1a 내지 도 1g는 본 발명의 실시예에 따른 반도체 소자의 트랜지스터 및 그 제조 방법을 설명하기 위한 소자의 단면도들이다.

**<도면의 주요 부분에 대한 부호의 설명>**

- 101 : 반도체 기판      102 : 소자 분리막  
103 : 제1 질화 산화막    104 : 제1 산화막  
105 : 제2 산화막      106 : 포토레지스트 패턴  
107 : 제2 질화 산화막    108 : 제3 산화막  
109 : 제3 질화 산화막    110 : 제4 질화 산화막  
111 : 제5 질화 산화막, 제2 게이트 산화막  
112 : 전도성 물질층, 게이트    113 : 제1 게이트 산화막  
114 : 저농도 이온주입층    115 : 버퍼 산화막  
116 : 실리콘 질화막    117 : 절연막 스페이서

118 : 고농도 이온 주입층 119 : 소오스/드레인

120 : 실리사이드층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체 소자의 트랜지스터 및 그 제조 방법에 관한 것으로, 특히 고전압 소자 영역과 저전압 소자 영역에 서로 다른 두께의 게이트 산화막이 형성되는 반도체 소자의 트랜지스터 및 그 제조 방법에 관한 것이다.

<15> 일반적으로, 트랜지스터와 같은 반도체 소자는 고전압으로 동작되는 소자와 저전압으로 동작되는 소자로 나눌 수 있다. 이로 인해, 고전압 동작 트랜지스터와 저전압 동작 트랜지스터는 게이트 산화막의 두께가 다르다. 이렇게 서로 다른 두께의 게이트 산화막을 고전압 소자 영역과 저전압 소자 영역에 각각 형성하는 방법을 간략하게 설명하면 다음과 같다.

<16> 먼저, 반도체 기판의 전체 상부에 제1 두께로 제1 게이트 산화막을 형성한다. 이후, 저전압 소자 영역만을 개방시키는 포토레지스트 패턴을 형성한 후 저전압 소자 영역에 형성된 제1 게이트 산화막을 제거한다. 이어서, 포토레지스트 패턴을 제거한 후 전체 상부에 제2 두께로 제2 게이트 산화막을 형성한다. 이로써, 고전압 소자 영역에는 제1 및 제2 게이트 산화막이 적층된 두꺼운 게이트 산화막이 형성되고, 저전압 소자 영

역에는 제2 게이트 산화막만이 형성되어 고전압 소자 영역에 형성된 게이트 산화막보다 얇은 게이트 산화막이 형성된다.

<17>       상기와 같이, 저전압 소자 영역에는 얇은 게이트 산화막이 형성되는데, 이로 인해 게이트 절연막을 통한 누설 전류가 크게 증가하여 소자의 소비 전력이 증가하고 소자의 신뢰성이 저하되는 문제점이 발생된다. 따라서, 게이트 산화막의 두께를 줄이는 데에는 물리적인 한계가 있다.

<18>       또한, p형 전극의 트랜지스터의 경우에는, 게이트 전극의 막질을 향상시키고 LDD(Lightly Doped Drain) 영역과 소오스/드레인 영역을 형성하기 위하여 열처리 공정을 실시하는 과정에서, 게이트에 주입된 불순물이 게이트 절연막으로 침투하거나, 심한 경우 반도체 기판의 채널 영역까지 침투하여 트랜지스터의 문턱 전압을 변화시킨다.

<19>       n형 트랜지스터의 경우에는, 전계에 의해 반도체 기판과 게이트 절연막 계면의 에너지 장벽보다 높은 에너지를 얻은 전자/정공(Hot carrier)이 소오스에서 드레인으로 이동하다가 게이트 절연막 내로 유입된다. 이로 인하여, 트랜지스터의 전기적 특성이 변화하고 신뢰성이 저하되는 문제점이 발생된다.

#### 【발명이 이루고자 하는 기술적 과제】

<20>       따라서, 본 발명은 상기의 문제점을 해결하기 위하여 저전압 소자 영역에는 질화 산화막으로 게이트 산화막을 형성하고, 고전압 소자 영역에는 질화 산화막/산화막/질화 산화막의 적층 구조로 게이트 산화막을 형성함으로써, 게이트 산화막의 물리적인 두께는 증가하여도 유전 상수의 증가에 의한 전기적인 두께는 감소시킬

수 있으며, 누설 전류 및 게이트 산화막 또는 채널 영역으로의 불순물 확산 및 침투를 방지하고 누설 전류를 감소시켜 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 트랜지스터 및 그 제조 방법을 제공하는데 그 목적이 있다.

### 【발명의 구성 및 작용】

- <21> 본 발명의 실시예에 따른 반도체 소자의 트랜지스터는 반도체 기판 상부에 저전압 소자 영역 및 고전압 소자 영역에 소정의 패턴으로 형성된 게이트 전극과, 게이트 전극 양 가장자리의 반도체 기판에 형성된 소오스/드레인과, 저전압 소자 영역의 게이트 전극 및 반도체 기판 사이에 형성되며, 제1 질화 산화막으로 이루어진 제1 게이트 산화막과, 고전압 소자 영역의 게이트 전극 및 반도체 기판 사이에 형성되며, 제2 질화 산화막/산화막/제3 질화 산화막의 적층 구조로 이루어진 제2 게이트 산화막을 포함한다.
- <22> 상기에서, 제1 질화 산화막의 질소 농도는 10 내지 15%이고, 제2 질화 산화막 또는 제3 질화 산화막의 질소 농도는 0.1% 내지 3%으로 조절할 수 있다.
- <23> 한편, 제1 게이트 산화막의 두께는 12 내지 20Å이고, 제2 게이트 산화막의 두께는 35 내지 55Å이다.
- <24> 본 발명의 실시예에 따른 반도체 소자의 트랜지스터 제조 방법은 저전압 소자 영역과 고전압 소자 영역이 정의된 반도체 기판의 전체 상부에 제1 질화 산화막 및 제1 질화 산화막 상부에 제1 산화막을 동시에 성장시키는 단계와, 제1 질화 산

화막 하부에 제2 산화막을 형성하는 단계와, 저전압 소자 영역에 형성된 제1 산화막, 제1 질화 산화막 및 제2 산화막을 제거하는 단계와, 저전압 소자 영역에 제2 질화 산화막 및 제2 질화 산화막 상부에 제3 산화막을 동시에 성장시키면서, 고전압 소자 영역의 제2 산화막 하부 및 반도체 기판의 계면에 제3 질화 산화막을 동시에 성장시키는 단계와, 질화 처리 공정으로 고전압 소자 영역의 제1 산화막을 질화시켜 제1 질화 산화막과 함께 이루어진 제4 질화 산화막으로 형성하고, 저전압 소자 영역의 제3 산화막을 질화시켜 제2 질화 산화막과 함께 이루어진 제5 질화 산화막으로 형성하는 단계와, 전체 상부에 전도성 물질층을 형성하는 단계와, 패터닝 공정으로 저전압 소자 영역에는 제5 질화 산화막으로 이루어진 제1 게이트 산화막 및 게이트를 적층 구조로 형성하고, 고전압 소자 영역에는 제3 질화 산화막/제2 산화막/제4 질화 산화막으로 이루어진 제2 게이트 산화막 및 게이트를 적층 구조로 형성하는 단계와, 게이트의 측면에는 절연막 스페이서를 형성하고, 게이트 측면의 반도체 기판에 소오스/드레인을 형성하는 단계를 포함한다.

<25>       상기에서, 제1 내지 제3 질화 산화막은  $N_2O$  가스 또는 NO 가스를 사용하여 형성할 수 있다. 이때, NO 가스를 이용한 공정은 750 내지 950℃의 온도에서 5 내지 10slm의  $N_2$  와 300 내지 900sccm의 NO 가스를 공급하면서 진행할 수 있다.

<26>       제2 산화막은  $O_2$  가스 또는  $O_2+H_2$  혼합 가스를 사용하여 형성할 수 있다.

<27>       저전압 소자 영역에 형성된 제1 산화막, 제1 질화 산화막 및 제2 산화막을 제거하기 위하여 형성하는 포토레지스트 패턴은 오존수로 제거한다.



- <28> 질화 처리 공정은 원격 플라즈마 질화 처리 공정으로 진행되며, 100 내지 700W의 플라즈마 파워와 50mTorr 내지 1000mTorr의 압력과 180 내지 500℃의 온도에서 N<sub>2</sub> 및 He 분위로 20 내지 5분 동안 진행할 수 있다.
- <29> 제3 질화 산화막 또는 제4 질화 산화막의 질소 농도는 0.1% 내지 3%이고, 제5 질화 산화막의 질소 농도는 10 내지 15%이다.
- <30> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.
- <31> 도 1a 내지 도 1g는 본 발명의 실시예에 따른 반도체 소자의 트랜지스터 및 그 제조 방법을 설명하기 위한 소자의 단면도들이다.
- <32> 도 1a를 참조하면, 반도체 기판(101)의 소자 분리 영역에 소자간 격리를 위한 소자 분리막(102)을 형성한다. 이어서, 트랜지스터의 채널 타입에 따라 활성 영역에 n웰 및 p웰(도시되지 않음)을 각각 형성하고, 트랜지스터의 문턱 전압 조절을 위하여 채널 이온 주입 공정을 통해 선택적으로 p형과 n형 불순물을 주입하여 웰의 소정 깊이내에 채널 이온 주입층(도시되지 않음)을 형성한다. 상기의 공정을 통해, n웰, p웰 및 채널 이온 주입층을 형성한 후 주입된 불순물을 활성화시키기 위하여 열처리해 아이솔레이션 공정을

진행한 후 열처리를 실시한다. 상기에서, 소자 분리막(102)은 STI(Shallow Trench Isolation) 구조로 형성할 수 있다. 이후, 암모니아수와 불산(HF 계열)을 사용한 습식 식각 공정으로 반도체 기판(101)의 표면에 형성될 수 있는 산화막(예를 들면, 자연 산화막; 도시되지 않음)을 제거한다.

<33>      상기의 공정이 완료되면, 질소 함유 가스를 사용하여 반도체 기판(101)의 전체 상부에 제1 질화 산화막(103)과 제1 질화 산화막(103) 상부에 제1 산화막(104)을 동시에 형성한다. 이때, 질소 함유 가스로  $N_2O$  가스나 NO 가스를 사용할 수 있으며, 제1 질화 산화막(103)은 제1 산화막(104)이 형성되면서 제1 산화막(104)과 반도체 기판(101)의 계면에 질소 이온이 축적되면서 형성된다.

<34>      이때, NO 가스를 이용한 공정은 750 내지 950℃의 온도에서 5 내지 10slm의  $N_2$ 와 300 내지 900sccm의 NO 가스를 공급하면서 진행된다.

<35>      이후,  $O_2$  가스나  $O_2+H_2$  혼합 가스를 사용하여 제1 질화 산화막(103) 및 반도체 기판(101) 사이에 제2 산화막(105)을 형성한다. 이로써, 반도체 기판(101)의 상부에는 제2 산화막(105), 제1 질화 산화막(103) 및 제1 산화막(104)이 적층 구조로 형성된다. 이어서, 반도체 기판(101) 상부에 저전압 소자 영역만을 개방시키는 포토레지스트 패턴(106)을 형성한다.

<36>      도 1b를 참조하면, 불산이나 BOE(Buffered Oxide Etchant) 용액을 이용하여 저전압 소자 영역에 형성된 제1 산화막(104), 제1 질화 산화막(103) 및 제2 산화막(105)을 제거한다. 이로써, 저전압 소자 영역의 반도체 기판(101) 표면이 노출된다.

<37> 도 1c를 참조하면, 오존수( $O_3+H_2O$ )를 사용하여 포토레지스트 패턴(도 1b의 106)을 제거한다. 이후, 질소 함유 가스를 사용하여 반도체 기판(101)의 저전압 소자 영역에 제2 질화 산화막(107)과 제2 질화 산화막(107) 상부에 제3 산화막(108)을 동시에 형성한다. 이때, 질소 함유 가스로  $N_2O$  가스나 NO 가스를 사용할 수 있으며, 제2 질화 산화막(107)은 제3 산화막(108)이 형성되면서 제3 산화막(108)과 반도체 기판(101)의 계면에 질소 이온이 축적되면서 형성된다. 동시에, 고전압 소자 영역에서는 제2 산화막(105)과 반도체 기판(101) 사이에 제3 질화 산화막(109)이 동시에 형성된다. 상기에서, 제3 질화 산화막(109)의 질소 농도는 0.1 내지 3%이며, NO 가스를 이용한 공정은 750 내지 950℃의 온도에서 5 내지 10slm의  $N_2$ 와 300 내지 900sccm의 NO 가스를 공급하면서 진행한다.

<38> 도 1d를 참조하면, 질화 처리 공정으로 고전압 소자 영역의 제1 산화막(도 1c의 104)을 질화시켜 제1 질화 산화막(도 1c의 103)과 함께 이루어진 제4 질화 산화막(110)을 형성하고, 동시에 저전압 소자 영역의 제3 산화막(도 1c의 108)을 질화시켜 제2 질화 산화막(도 1c의 107)과 함께 이루어진 제5 질화 산화막(111)을 형성한다.

<39> 상기에서, 제4 질화 산화막(110)의 질소 농도는 0.1 내지 3%, 제5 질화 산화막(111)의 질소 농도는 10 내지 15%가 되도록 한다. 한편, 질화 처리 공정은 원격 플라즈마 질화 처리 공정으로 진행한다. 원격 플라즈마 질화(Remote Plasma Nitridation; RPN) 처리 공정은 플라즈마 발생이 가능하고 질화시킬 수 있는 질소 또는 질소와 He 가스만 장착되어 있으면 공정 진행이 가능하며, 실리콘 산화막(또는 표면)을 질화시키는 특징이 있다. 이러한 RPN 공정은 100 내지 700W의 플라즈마 파워와 50mTorr 내지 1000mTorr의 압력과 180 내지 500℃의 온도에서  $N_2$  및 He 분위로 20 내지 5분 동안 진행된다. RPN 공

정에 의해 유전 상수가 3 내지 6.5인 제4 질화 산화막(110) 및 제5 질화 산화막(111)이 형성된다.

<40> 도 1e를 참조하면, 반도체 기판(101)의 전체 상부에 전도성 물질층(112)을 형성한다. 이때, 전도성 물질층(112)은 폴리실리콘층으로 형성할 수 있다.

<41> 도 1f를 참조하면, 게이트 마스크를 이용한 식각 공정으로 패터닝을 실시하여 저전압 소자 영역에는 제5 질화 산화막으로 이루어진 제1 게이트 산화막(111) 및 게이트(112)를 적층 구조로 형성하고, 고전압 소자 영역에는 제3 질화 산화막(109)/제2 산화막(105)/제4 질화 산화막(110)으로 이루어진 제2 게이트 산화막(113) 및 게이트(112)를 적층 구조로 형성한다. 이때, 제1 게이트 산화막(111)의 두께가 12 내지 20Å이 되도록, 도 1e에서 제2 질화 산화막(도 1e의 107) 및 제3 산화막(도 1e의 108)의 두께를 조절한다. 또한, 제2 게이트 산화막(113)의 두께가 35 내지 55Å이 되도록, 도 1a 내지 도 1e에서 제3 질화 산화막(도 1e의 109), 제2 산화막(도 1e의 105) 및 제4 질화 산화막(도 1e의 110)의 두께를 조절한다.

<42> 이후, 게이트(112)를 이온 주입 마스크로 이용하는 저농도 이온 주입 공정을 실시하여 게이트(112)의 양측에 소오스/드레인을 형성하기 위한 저농도 이온주입층(114)을 형성한다.

<43> 도 1g를 참조하면, 전체 상부에 버퍼 산화막(115) 및 실리콘 질화막( $\text{Si}_3\text{N}_4$ ; 116)을 순차적으로 형성한 후 전면 식각 공정으로 실시하여 게이트(112)의 측벽에만 버퍼 산화막(115) 및 실리콘 질화막(116)을 잔류시켜 버퍼 산화막(115) 및 실리콘 질화막(116)으로 이루어진 절연막 스페이서(117)를 형성한다. 이때, 버퍼 산화막(115)은 LP-TEOS막으로 형성할 수 있다.

- <44> 이후, 게이트(112) 및 절연막 스페이서(117)를 이온 주입 마스크로 이용하는 고농도 이온 주입 공정을 실시하여 절연막 스페이서(117) 측부의 반도체 기판(101)에 고농도 이온주입층(118)을 형성하고 열처리를 실시하여 주입된 불순물을 활성화시킨다. 이로써, 저농도 이온주입층(114) 및 고농도 이온주입층(118)으로 이루어진 소오스/드레인(119)이 형성된다.
- <45> 이어서, 게이트(112) 및 소오스/드레인(119)과 후속 공정에서 형성될 콘택 플러그의 접촉 저항을 낮추기 위하여 게이트(112) 및 소오스/드레인(119)의 상부 표면에 실리사이드층(120)을 형성한다. 이때, 실리사이드층(120)은 자기 정렬 방식으로 형성할 수 있으며, 코발트를 이용하여 코발트 실리사이드층으로 형성하는 것도 가능하다.
- <46> 실리사이드층(120)을 형성하는 방법을 설명하면 좀 더 상세하게 다음과 같다. 먼저, 게이트(112) 및 소오스/드레인(119) 표면의 자연 산화막을 제거하고 전체 상부에 금속층(예를 들어, 코발트; 도시되지 않음) 및 캡핑층(예를 들어, TiN; 도시되지 않음)을 순차적으로 형성한 후 1차 열처리 공정으로 게이트(112) 및 소오스/드레인(119)의 실리콘 성분과 금속층의 금속 성분을 반응시켜 실리사이드층(120)을 형성한다. 이후, 캡핑층과 미반응 금속층을 제거한 후 2차 열처리 공정을 실시하여 실리사이드층(120)의 막질을 향상시킨다.
- <47> 이로써, 질화 산화막을 포함하며 서로 다른 구조와 서로 다른 두께로 형성된 게이트 산화막을 포함하는 트랜지스터가 고전압 소자 영역과 저전압 소자 영역에 각각 형성된다.

**【발명의 효과】**

- <48>       상기에서 서술한 방법으로 게이트 절연막을 저전압 소자 영역 및 고전압 소자 영역에 각각 형성하면 다음과 같은 효과를 얻을 수 있다.
- <49>       첫째, 일반적인 산화막 대신에 질화 산화막을 이용하여 게이트 절연막을 형성하므로 유전 상수가 3 내지 6.5 정도로 증가되어 전기적인 게이트 산화막의 두께를 기존 산화막보다 약 1.5배 이상 줄일 수 있으며, 이로 인해 누설 전류를 감소시킬 수 있다.
- <50>       둘째, 두께가 얇은 제1 게이트 산화막은 질소가 고농도(4 내지 10%)로 함유된 질화 산화막으로 형성하고, 두께가 두꺼운 제2 게이트 산화막은 질소가 저농도(3% 이하)로 함유된 질화 산화막을 산화막과 기판 사이에 형성하여 적층 구조로 형성함으로써, n형 반도체 소자 영역에서의 핫 캐리어 면역 특성을 증가시켜 소자의 문턱 전압 변화를 방지할 수 있으며 소자의 신뢰성을 향상시킬 수 있다.
- <51>       셋째, 본 발명은 두께가 두꺼운 게이트 절연막과 두께가 얇은 게이트 절연막으로 산화막 윗면을 원격 플라즈마 질화법으로 동시에 질화시켜 질소 농도가 10 내지 25% 정도로 함유된 질화 산화막을 적용함으로써, p형 반도체 소자에서 게이트 전극에 주입된 보론 이온이 채널 영역으로 침투하는 것을 방지할 수 있어 보론 침투에 의한 문턱 전압 감소 등의 문제를 해결할 수 있고, 이로 인해 후속 열 공정의 마진 확대가 가능하며 소자의 신뢰성을 증진할 수 있다.
- <52>       넷째, 두께가 두꺼운 게이트 산화막을 산화막만으로 형성한 후 플라즈마 질화법을 적용할 경우, 질화되는 정도가 불균일하여 소자의 문턱 전압의 불균일성으로 소자의 신뢰성을 저하시키지만, 본 발명에서는 이를 해결하기 위해 질화 산화막을 먼저 형성한 후

재산화하여 두께를 맞추고 다시 이 질화 산화막을 방법으로 하여 질화 산화막 위의 산화막을 원격 플라즈마 질화법으로 질화시켜 질화 정도가 균일한 질화 산화막을 구현할 수 있다.

<53> 다섯째, 포토레지스트 패턴을 형성하고 저전압 소자 영역에 형성된 막들을 제거한 후 포토레지스트 패턴을  $O_2$  플라즈마로 제거하는 공정은  $O_2$  플라즈마에 의해 저전압 소자 영역의 표면에 밀도가 낮은 산화막이 형성되어 산화막의 신뢰성을 저하시키지만, 본 발명에서는 오존수( $O_3+H_2O$ )로 포토레지스트 패턴을 제거함으로써 게이트 산화막을 신뢰성을 향상시킬 수 있다.

【특허청구범위】

【청구항 1】

반도체 기판 상부에 저전압 소자 영역 및 고전압 소자 영역에 소정의 패턴으로 형성된 게이트 전극;

상기 게이트 전극 양 가장자리의 상기 반도체 기판에 형성된 소오스/드레인;

상기 저전압 소자 영역의 상기 게이트 전극 및 상기 반도체 기판 사이에 형성되며, 제1 질화 산화막으로 이루어진 제1 게이트 산화막; 및

상기 고전압 소자 영역의 상기 게이트 전극 및 상기 반도체 기판 사이에 형성되며, 제2 질화 산화막/산화막/제3 질화 산화막의 적층 구조로 이루어진 제2 게이트 산화막을 포함하는 것을 특징으로 하는 반도체 소자의 트랜지스터.

【청구항 2】

제 1 항에 있어서,

상기 제1 질화 산화막의 질소 농도는 10 내지 15%인 것을 특징으로 하는 반도체 소자의 트랜지스터.

【청구항 3】

제 1 항에 있어서,



상기 제2 질화 산화막 또는 제3 질화 산화막의 질소 농도는 0.1% 내지 3%인 것을 특징으로 하는 반도체 소자의 트랜지스터.

#### 【청구항 4】

제 1 항에 있어서,

상기 제1 게이트 산화막의 두께는 12 내지 20Å이고, 상기 제2 게이트 산화막의 두께는 35 내지 55Å인 것을 특징으로 하는 반도체 소자의 트랜지스터.

#### 【청구항 5】

저전압 소자 영역과 고전압 소자 영역이 정의된 반도체 기판의 전체 상부에 제1 질화 산화막 및 상기 제1 질화 산화막 상부에 제1 산화막을 동시에 성장시키는 단계;

상기 제1 질화 산화막 하부에 제2 산화막을 형성하는 단계;

상기 저전압 소자 영역에 형성된 상기 제1 산화막, 상기 제1 질화 산화막 및 상기 제2 산화막을 제거하는 단계;

상기 저전압 소자 영역에 제2 질화 산화막 및 상기 제2 질화 산화막 상부에 제3 산화막을 동시에 성장시키면서, 상기 고전압 소자 영역의 상기 제2 산화막 하부 및 상기 반도체 기판의 계면에 제3 질화 산화막을 동시에 성장시키는 단계;

질화 처리 공정으로 상기 고전압 소자 영역의 제1 산화막을 질화시켜 상기 제1 질화 산화막과 함께 이루어진 제4 질화 산화막으로 형성하고, 상기 저전압 소자 영역의 상

기 제3 산화막을 질화시켜 상기 제2 질화 산화막과 함께 이루어진 제5 질화 산화막으로 형성하는 단계;

전체 상부에 전도성 물질층을 형성하는 단계;

패터닝 공정으로 상기 저전압 소자 영역에는 상기 제5 질화 산화막으로 이루어진 제1 게이트 산화막 및 게이트를 적층 구조로 형성하고, 상기 고전압 소자 영역에는 상기 제3 질화 산화막/상기 제2 산화막/상기 제4 질화 산화막으로 이루어진 제2 게이트 산화막 및 게이트를 적층 구조로 형성하는 단계;

상기 게이트의 측면에는 절연막 스페이서를 형성하고, 상기 게이트 측면의 상기 반도체 기판에 소오스/드레인을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

#### 【청구항 6】

제 5 항에 있어서,

상기 제1 내지 제3 질화 산화막은  $N_2O$  가스 또는 NO 가스를 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

#### 【청구항 7】

제 6 항에 있어서,

상기 NO 가스를 이용한 공정은 750 내지 950℃의 온도에서 5 내지 10slm의 N<sub>2</sub>와 300 내지 900sccm의 NO 가스를 공급하면서 진행되는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

**【청구항 8】**

제 5 항에 있어서,

상기 제2 산화막은 O<sub>2</sub> 가스 또는 O<sub>2</sub>+H<sub>2</sub> 혼합 가스를 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

**【청구항 9】**

제 5 항에 있어서,

상기 저전압 소자 영역에 형성된 상기 제1 산화막, 상기 제1 질화 산화막 및 상기 제2 산화막을 제거하기 위하여 형성하는 포토레지스트 패턴은 오존수로 제거하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

**【청구항 10】**

제 5 항에 있어서,

상기 질화 처리 공정은 원격 플라즈마 질화 처리 공정으로 진행되며, 100 내지 700W의 플라즈마 파워와 50mTorr 내지 1000mTorr의 압력과 180 내지 500℃의 온도에서

N<sub>2</sub> 및 He 분위로 20 내지 5분 동안 진행되는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

【청구항 11】

제 5 항에 있어서,

상기 제3 질화 산화막 또는 제4 질화 산화막의 질소 농도는 0.1% 내지 3%인 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

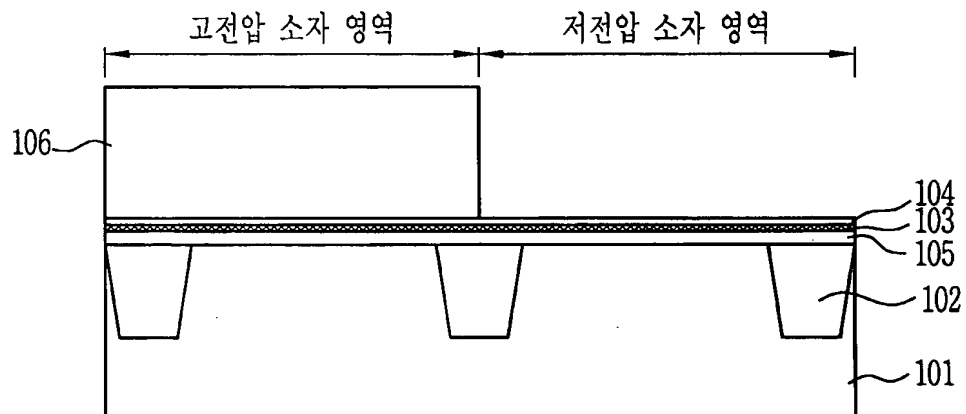
【청구항 12】

제 5 항에 있어서,

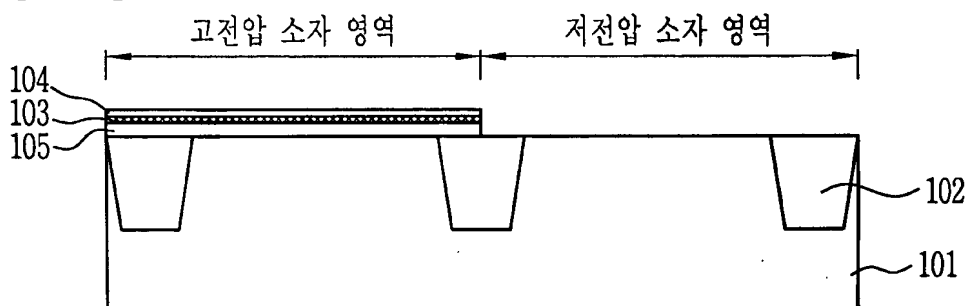
상기 제5 질화 산화막의 질소 농도는 10 내지 15%인 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

【도면】

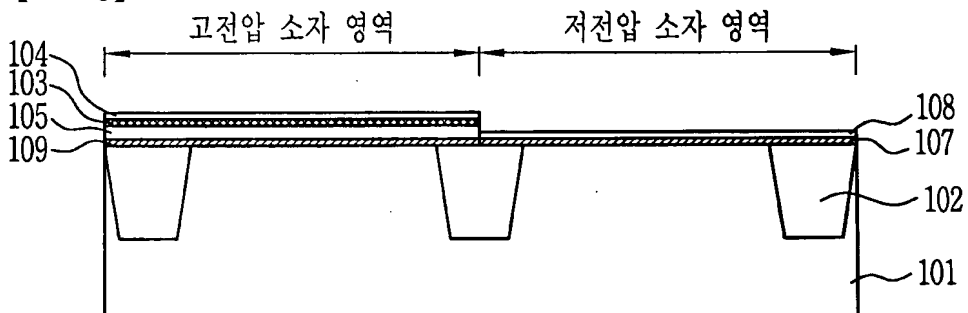
【도 1a】



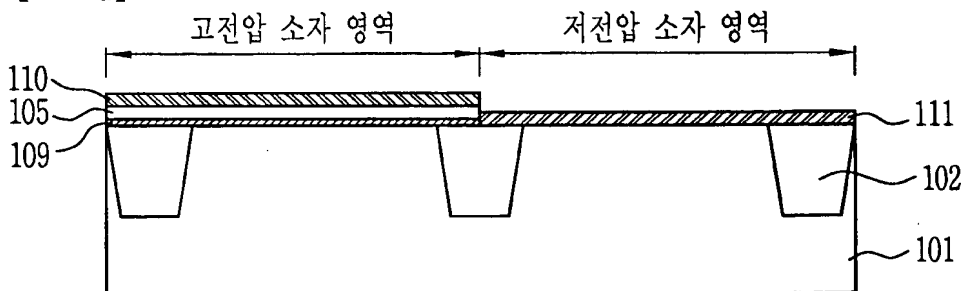
【도 1b】



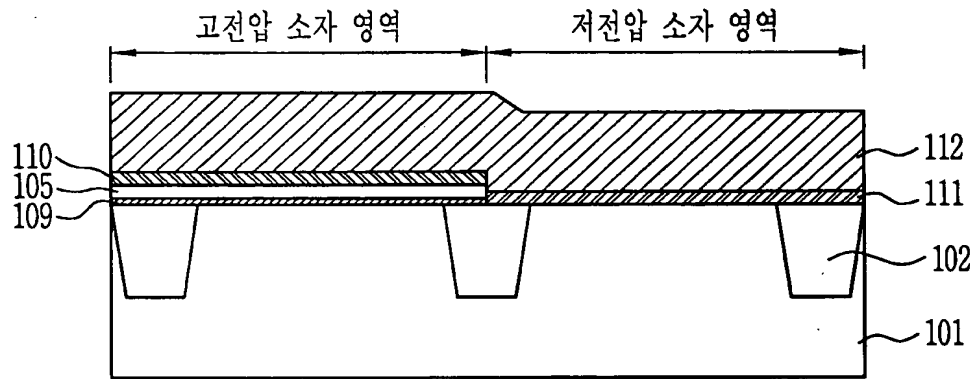
【도 1c】



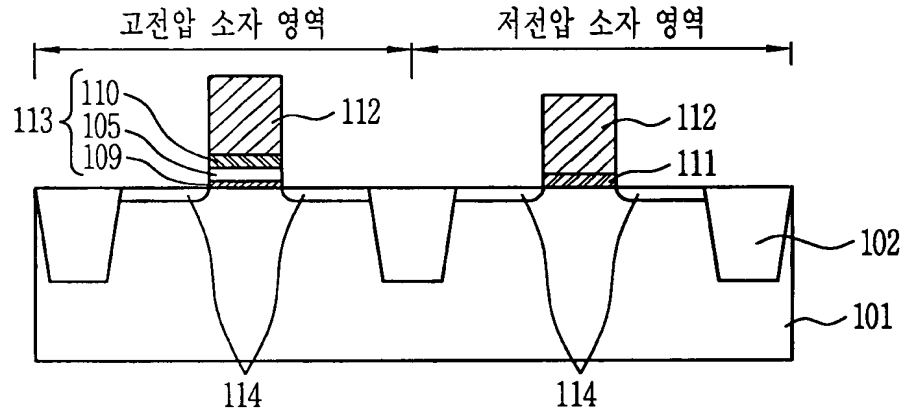
【도 1d】



【도 1e】



【도 1f】



【도 1g】

